

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-140635

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl.⁵

H 0 1 L 29/788

29/792

27/115

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 29/ 78

3 7 1

27/ 10

4 3 4

審査請求 有 発明の数3(全25頁)

(21)出願番号

特願平5-123812

(62)分割の表示

特願昭61-119215の分割

(22)出願日

昭和61年(1986)5月26日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小森 和宏

東京都小平市上水本町1450番地 株式会社

日立製作所武蔵工場内

(72)発明者 目黒 怜

東京都小平市上水本町1450番地 株式会社

日立製作所武蔵工場内

(72)発明者 萩原 隆旦

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

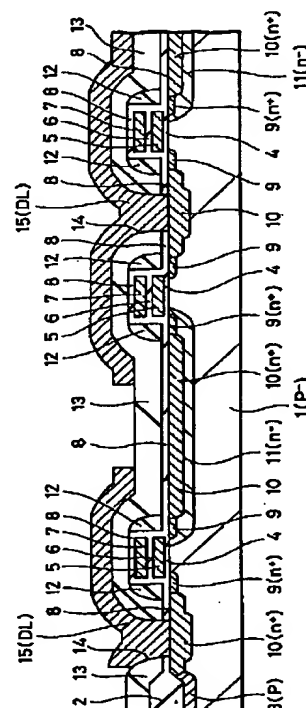
(54)【発明の名称】 半導体記憶装置の製造方法

(57)【要約】

【目的】本発明の目的は、情報の消去時間あるいは消去の信頼性等の特性を向上させるメモリセルを提供することにある。

【構成】コントロールゲート電極の一方の端部に対して自己整合的に不純物を半導体基板内に導入してその半導体基板内にドレイン領域を形成し、コントロールゲート電極の他の端部に対して自己整合的に不純物を導入してその半導体基板内にソース領域を、そのソース領域と上記フローティングゲート電極とのオーバーラップ量が上記ドレイン領域と上記フローティングゲート電極とのオーバーラップ量より小さくなるように形成する。

【効果】フローティングゲート電極5の下部へのソース領域の回り込みを小さくしたことで、ソース領域とフローティングゲート電極5の間の容量を低減することができる。そして、情報の消去時にソース領域に印加した電圧によってゲート絶縁膜に発生する電圧を高めることができるので、情報の消去特性を向上することができる。



【図1】

【特許請求の範囲】

【請求項1】コントロールゲート電極と、フローティングゲート電極と、上記2つのゲート電極の間に形成された第2ゲート絶縁膜と、半導体基板と上記フローティングゲート電極との間に形成された第1ゲート絶縁膜と、上記半導体基板内に形成された第1及び第2半導体領域と、上記半導体基板内の上記第1及び第2半導体領域間に形成されるチャンネル領域とからなるメモリセルを有し、

上記メモリセルは上記フローティングゲート電極中から上記第1半導体領域へのキャリアの放出を上記第1ゲート絶縁膜を通したトンネリングにより行ない、上記第2半導体領域に所定の電位を印加することによって第2半導体領域から情報の読み出しを行う半導体記憶装置の製造方法において、

第1導電型の半導体基板上の第1ゲート絶縁膜上にフローティングゲート電極、上記フローティングゲート電極上に第2ゲート絶縁膜、及び上記第2ゲート絶縁膜上にコントロールゲート電極を、それらの両端部が互いに重なるように形成する工程と、

上記コントロールゲート電極の一方の端部に対して自己整合的に不純物を半導体基板内に導入して上記半導体基板内に第2導電型の第1半導体領域を形成する工程と、上記コントロールゲート電極の他の端部に対して自己整合的に不純物を導入して上記半導体基板内に第2導電型の第2半導体領域を、上記第2半導体領域と上記フローティングゲート電極とのオーバーラップ量が上記第1半導体領域と上記フローティングゲート電極とのオーバーラップ量より小さくなるように形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項2】上記コントロールゲート電極及びフローティングゲート電極の上記両端部に対して自己整合的にサイドウォールスペーサを形成する工程と、上記コントロールゲート電極、フローティングゲート電極及びサイドウォールスペーサの両端部に対して自己整合的に不純物を導入して上記半導体基板内に、上記第2半導体領域より不純物濃度が高く、かつ接合深さが深い第2導電型の第3半導体領域を形成する工程を含むことを特徴とする請求項1に記載の半導体記憶装置の製造方法。

【請求項3】上記コントロールゲート電極及びフローティングゲート電極の他方の端部に対して自己整合的に不純物を導入して、上記チャンネル領域の少なくとも上記第2半導体領域側の部分に上記半導体基板より高い不純物濃度を有する第1導電型の第4半導体領域を形成する工程を含むことを特徴とする請求項1に記載の半導体記憶装置の製造方法。

【請求項4】上記コントロールゲート電極及びフローティングゲート電極の上記両端部に対して自己整合的にサイドウォールスペーサを形成する工程と、

上記コントロールゲート電極、フローティングゲート電極及びサイドウォールスペーサの両端部に対して自己整合的に不純物を導入して上記半導体基板内に、上記第2半導体領域より不純物濃度が高く、かつ上記第2及び第4半導体領域より接合深さが深い第2導電型の第3半導体領域を形成する工程を含むことを特徴とする請求項3に記載の半導体記憶装置の製造方法。

【請求項5】上記第2半導体領域は、上記第1半導体領域より接合深さが浅くなるように形成することを特徴とする請求項1に記載の半導体記憶装置の製造方法。

【請求項6】コントロールゲート電極と、フローティングゲート電極と、上記2つのゲート電極の間に形成された第2ゲート絶縁膜と、半導体基板と上記フローティングゲート電極との間に形成された第1ゲート絶縁膜と、上記半導体基板内に形成された第1及び第2半導体領域と、上記半導体基板内の上記第1及び第2半導体領域間に形成されるチャンネル領域とからなるメモリセルを有し、

上記メモリセルは上記フローティングゲート電極中から上記第1半導体領域へのキャリアの放出を上記第1ゲート絶縁膜を通したトンネリングにより行なう半導体記憶装置の製造方法であって、

第1導電型の半導体基板上の第1ゲート絶縁膜上にフローティングゲート電極、上記フローティングゲート電極上に第2ゲート絶縁膜、及び上記第2ゲート絶縁膜上にコントロールゲート電極を、それらの両端部が互いに重なるように形成する工程と、

上記コントロールゲート電極及びフローティングゲート電極の一方の端部に対して自己整合的に不純物を導入して上記半導体基板内に第2導電型の第1半導体領域を形成する工程と、

上記コントロールゲート電極及びフローティングゲート電極の両端部に対して自己整合的に不純物を導入して上記半導体基板内に、上記第1半導体領域より不純物濃度が高く、かつ接合深さが浅い第2導電型の第2半導体領域を形成するとともに、上記第1半導体領域にも不純物を導入する工程と、

上記コントロールゲート電極及びフローティングゲート電極の両端部に対して自己整合的にサイドウォールスペーサを形成する工程と、

上記コントロールゲート電極、フローティングゲート電極及びサイドウォールスペーサの両端部に対して自己整合的に不純物を導入して上記第1及び第2半導体領域側の上記半導体基板内に、上記第1及び第2半導体領域より不純物濃度が高く、かつ接合深さが深い第2導電型の第3半導体領域を形成する工程とを有する半導体記憶装置の製造方法。

【請求項7】上記コントロールゲート電極及びフローティングゲート電極の他方の端部に対して自己整合的に不純物を導入して、上記チャンネル領域の少なくとも上記第

10

20

30

40

50

3

2 半導体領域側の部分に上記半導体基板より高い不純物濃度を有する第1導電型の第4半導体領域を形成する工程を含むことを特徴とする請求項6に記載の半導体記憶装置の製造方法。

【請求項8】コントロールゲート電極と、フローティングゲート電極と、上記2つのゲート電極の間に形成された第2ゲート絶縁膜と、半導体基板と上記フローティングゲート電極との間に形成された第1ゲート絶縁膜と、上記半導体基板内に形成された第1及び第2半導体領域と、上記半導体基板内の上記第1及び第2半導体領域間に形成されるチャンネル領域とからなるメモリセルと、周辺回路を構成するMISFETとを備えており、

上記メモリセルは上記フローティングゲート電極中から上記第1半導体領域へのキャリアの放出を上記第1ゲート絶縁膜を通したトンネリングにより行ない、上記第2半導体領域に所定の電位を印加することによって第2半導体領域から情報の読み出しを行う半導体記憶装置の製造方法であって、

第1導電型の半導体基板のメモリセル形成領域において、上記半導体基板上の第1ゲート絶縁膜上にフローティングゲート電極、上記フローティングゲート電極上に第2ゲート絶縁膜、及び上記第2ゲート絶縁膜上にコントロールゲート電極を、それらの両端部が互いに重なるように形成し、かつ半導体基板の周辺回路形成領域において、上記半導体基板上にMISFETのゲート絶縁膜、及び上記ゲート絶縁膜上に上記MISFETのゲート電極を形成する工程と、

上記半導体基板のメモリセル形成領域において、上記コントロールゲート電極及びフローティングゲート電極の一方の端部に対して自己整合的に不純物を導入して上記半導体基板内に第2導電型の第1半導体領域を形成する工程と、

上記半導体基板の周辺回路形成領域において、上記ゲート電極の両端部に対して自己整合的に不純物を導入して、上記半導体基板内に上記第1半導体領域より低い不純物濃度を有する第2導電型で、かつ上記MISFETのソース、ドレイン領域として用いる第1領域を形成する工程と、

上記半導体基板の周辺回路形成領域において、上記MISFETのゲート電極の両端部に対して自己整合的にサイドウォールスペーサを形成し、かつメモリセル領域において上記コントロールゲート電極及びフローティングゲート電極の両端部に自己整合的にサイドウォールスペーサを形成する工程、

上記半導体基板の周辺回路形成領域及びメモリセル領域において、上記MISFETのゲート電極の両端部、並びに上記コントロールゲート電極及びフローティングゲート電極の両端部のそれぞれに対して自己整合的に不純物を導入して上記第1領域より不純物濃度が高く、かつ接合深さが深い第2導電型の第3半導体領域を形成する工程と

4

を有することを特徴とする半導体記憶装置の製造方法。

【請求項9】上記第1半導体領域を形成する工程は、上記周辺回路形成領域上及び上記メモリセル形成領域の一部を覆うマスクを用いて、上記コントロールゲート電極及びフローティングゲート電極の一方の端部に対して自己整合的に上記不純物を導入することを特徴とする請求項8に記載の半導体記憶装置の製造方法。

【請求項10】上記半導体基板のメモリセル形成領域において、上記コントロールゲート電極及びフローティングゲート電極の他方の端部に対して自己整合的に不純物を導入して上記半導体基板内に第2導電型の第2半導体領域を形成する工程を含むことを特徴とする請求項8に記載の半導体記憶装置の製造方法。

【請求項11】上記第1半導体領域を形成する工程において、コントロールゲート電極、及びフローティングゲート電極の他方の端部に対して自己整合的に不純物を導入して、上記半導体基板内に上記第2の半導体領域を上記第1半導体領域と同時に形成することを特徴とする請求項8に記載の半導体記憶装置の製造方法。

【請求項12】上記半導体基板のメモリセル形成領域において、上記コントロールゲート電極及びフローティングゲート電極の他方の端部に対して自己整合的に不純物を導入して、上記チャンネル領域の少なくとも上記第2半導体領域側の部分に上記半導体基板より高い不純物濃度を有する第1導電型の第4半導体領域を上記第2半導体領域より深く形成する工程を含むことを特徴とする請求項11に記載の半導体記憶装置の製造方法。

【請求項13】上記第3半導体領域は、上記第4半導体領域より深く形成することを特徴とする請求項9に記載の半導体記憶装置の製造方法。

【請求項14】上記第4半導体領域を形成する工程は、上記周辺回路形成領域上及び上記メモリセル形成領域の一部を覆うマスクを用いて、上記コントロールゲート電極及びフローティングゲート電極に自己整合的に上記不純物を導入することを特徴とする請求項12に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に関するものであり、特に、メモリセルがフローティングゲート電極とコントロールゲート電極を有するMISFETからなり電氣的に消去可能な半導体記憶装置すなわち、EEPROM (Electrically Erasable and Programmable ROM) に適用して有効な技術に関するものである。

【0002】

【従来の技術】フローティングゲート電極とコントロールゲート電極を有するMISFETで構成したEEPROMのメモリセルは、例えば1984年国際電子デバイス会議1984IEDMのテクニカルダイジェスト(T

ech. Digest)、PP. 468-471に記載されている。

【0003】前記メモリセルは、フローティングゲート下の薄い酸化膜を通じてフローティングゲートに基板より電子をトンネル注入あるいはフローティングゲートから基板に電子をトンネル放出するため薄い酸化膜に10 MV/cm以上の強電界を印加する必要がある、このため、フローティングゲートとコントロールゲートの重なり面積を大きくとる必要がある。また、メモリセルは、メモリトランジスタとセレクトトランジスタの2素子で構成される。

【0004】以上により前記メモリセルは、同じフローティングゲートとコントロールゲートを有するEPROMセルに比べ5倍程度大きくなり、高集積大容量EPROMに不向きである。

【0005】そこで、セルサイズを小さくするため、フローティングゲート電極とコントロールゲート電極を有し、フローティングゲートへの電子の注入(書込み)は、ドレイン領域の端部で発生したホットエレクトロンで行い、フローティングゲートからの電子の放出(消去)は、ソース領域へのトンネルで行う1素子型のメモリセルが提案されている(1985年国際電子デバイス会議1984 IEDMのテクニカルダイジェスト(Tech. Digest)、PP. 616-619)。

【0006】

【発明が解決しようとする課題】前記メモリセルの技術課題は以下の点にある。

【0007】EEPROMは、書込み消去も5V単一電源で行う方向にあり、書込み消去の高電圧は、同一チップ内に設けた昇圧回路により発生させるのが一般化しつつある。

【0008】しかし、前記メモリセルは書込みをドレイン電流を流した状態でドレイン領域端部でホットエレクトロンを発生させて行うため、比較的大きな電流を必要としており、これを昇圧回路で発生した高電圧では電流容量が小さいため適用できない。

【0009】したがって、書込み時のドレイン電圧が外部電源の5V以上でも十分書込み可能であるようなメモリセルを実現する必要がある。また、消去は、ソース領域に10V以上の電圧を印加し、フローティングゲートとソース領域との間でトンネルを起こす必要があるため、ソース領域と基板間の耐圧は10V以上とし、消去時にアバランシェを起さないようにする必要がある。

【0010】本発明の目的は、低いドレイン電圧でも書込み可能なメモリセルを提供することにある。

【0011】本発明の他の目的は、高速動作が可能なメモリセルを提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0014】すなわち、フローティングゲート電極とコントロールゲート電極を有するMISFETからなるメモリセルのドレイン領域を高濃度層で構成し、また、ソース領域のチャネル領域側の端部を低濃度にする。

【0015】

10 【作用】上記した手段によれば、ドレイン領域端部での電界が強くなるのでホットエレクトロンの発生が増加し、これにより書込み電圧を低減することができる。また、ソース領域と半導体基板の間のアバランシェブレイクダウン電圧が高められるので、消去効率を向上することができる。

【0016】

【実施例】〔実施例1〕図1は、図2に示したメモリセルアレイのA-A切断線における断面図、図2はメモリセルアレイの一部の平面図、図3はメモリセルアレイの等価回路である。なお、図2は、メモリセルの構成を見易くするために、フィールド絶縁膜以外の絶縁膜を図示していない。

【0017】まず、図3を用いてメモリセルアレイの回路の概略を説明する。

【0018】図3において、15はYデコード、16はXデコード、17はセンスアンプである。Qmはメモリセルであり、フローティングゲート電極とコントロールゲート電極を有するMISFETからなっている。コントロールゲート電極はワード線WLに接続されている。30 ドレイン領域はデータ線DLに接続され、ソース領域は接地線GLに接続されている。Qs1、Qs2は、情報の書込み時及び読み出し時に接地線GLに回路の接地電位Vss例えば0Vを印加し、情報の消去時に消去電位Vpp例えば14Vを印加するためのスイッチ素子である。情報の書込み時及び読み出しには、MISFETQs1が非導通状態とされ、MISFETQs2が導通状態とされる。情報の消去時には、MISFETQs1が導通状態とされ、MISFETQs2が非導通状態とされる。データ線DLは、書込み時及び読み出し時に電源電位Vcc例えば5Vが印加され、消去時に接地電位Vss例えば0Vが印加される。ワード線WLは、書込み時に書込み電位Vpp例えば14Vが印加される、読み出し時にはVcc電位例えば5Vが印加される。消去時には接地電位Vss例えば0Vにされる。

50 【0019】図1及び図2に示すように、メモリセルであるMISFETは、第1ゲート絶縁膜4、フローティングゲート電極5、第2ゲート絶縁膜6、コントロールゲート電極7、n+型半導体領域9、n+型半導体領域10、n-型半導体領域11とで構成してある。第1ゲート絶縁膜4は、半導体基板1の表面酸化による酸化シ

7

リコン膜からなり、100Å程度の膜厚を有している。フローティングゲート電極5は、多結晶シリコン膜からなり、第1ゲート絶縁膜4に被着して設けられている。第2ゲート絶縁膜6、フローティングゲート電極5である多結晶シリコン膜の表面の酸化による酸化シリコン膜からなり、250~350Å程度の膜厚を有している。コントロールゲート電極7は、例えば第2層目の多結晶シリコン膜からなり、第2ゲート絶縁膜6の表面に被着している。また、ワード線WLと一体に形成されて、フィールド絶縁膜2上を延在している。

【0020】ドレイン領域は、n+型半導体領域9とn+型半導体領域10とからなり、また同一のデータ線DLに同一の接続孔14を通して接続されている2つのメモリセルのドレイン領域が一体となっている。ドレイン領域のチャネル領域側の端部を0.1μm程度の浅い接合深さを有するn+型半導体領域9によって構成している。このため、ドレイン領域のフローティングゲート電極5の下部への周り込みが小さくなっている。また、半導体領域9をn-型とした場合と比較して、情報の書込み時におけるドレイン領域のチャネル領域側の端部の電界を強くすることができるn+型半導体領域9のチャネル長方向における長さは、酸化シリコン膜からなるサイドウォールスペーサ12によって規定されている。ドレイン領域のチャネル領域から隔離された部分は、0.25μm程度の深い接合を有するn+型半導体領域10からなっている。

【0021】ソース領域は、n+型半導体領域9とn+型半導体領域10及びn-型半導体領域11とからなっている。これらソース領域を構成しているn+型半導体領域9、10及びn-型半導体領域11は、同一のデータ線DLに、隣接する2つの接続孔14を通して接続されている2つのメモリセルの間をワード線WLが延在している方向に延在して接地線（グラウンド線）GLを構成している。ソース領域のチャネル領域側の端部を接合の浅いn+型半導体領域9で構成して、フローティングゲート電極5の下部への周り込みを小さくしている。n+型半導体領域9のチャネル長方向における長さは、サイドウォールスペーサ12によって規定されている。チャネル領域から隔離された部分の表面部は、深い接合を有するn+型半導体領域9及びn+型半導体領域10と半導体基板1の間に介在するようにn-型半導体領域11を設けている。n-型半導体領域11は、チャネル領域における半導体基板1の表面にまで達している。このため、n+型半導体領域9と半導体基板1の間の接合耐圧が高められる。

【0022】フィールド絶縁膜2及びフローティングゲート電極5から露出している半導体基板1の表面及びフローティングゲート電極5、コントロールゲート電極7の露出している表面を酸化シリコン膜8が被着して覆っている。フローティングゲート電極5及びコントロール

8

ゲート電極7の側面の酸化シリコン膜8に被着して酸化シリコン膜からなるサイドウォールスペーサ12を設けている。

【0023】13は例えばリンシリケートガラス（PSG）膜からなる絶縁膜であり、半導体基板1上を覆っている。ドレイン領域の一部であるn+型半導体領域10の上の部分の絶縁膜13を選択的に除去して接続孔14を形成している。接続孔14を通してアルミニウム膜からなるデータ線DLがドレイン領域の一部であるn+型半導体領域10に接続している。このn+型半導体領域10のデータ線DLが接続している部分の接合深さは、その他の部分より深くなっている。なお、図示していないが、データ線DLを例えばCVDによるPSG膜とその上に形成される窒化シリコン膜とで構成した保護膜が覆っている。

【0024】メモリセルへの情報の書込みは、前述した電位を各領域に印加することにより、ドレイン領域の一部でn+型半導体領域9の端部でホットキャリアを発生させ、このうちホットエレクトロンをフローティングゲート電極5に注入することによってなされる。情報の消去は、前述のようにして、フローティングゲート電極5に保持されているエレクトロンをトンネルによって第1ゲート絶縁膜4を通してn+型半導体領域9へ放出することによってなされる。なお、消去動作の際、消去後の記憶素子のV_{th}が1V程度でほぼ一定となるようV_{th}制御回路が動作するため、1素子型のメモリセルが実現できる。

【0025】以上、説明したように本実施例のメモリセルによれば次の効果を得ることができる。

【0026】（1）ソース領域を構成するn+型半導体領域9及び10と半導体基板1の間にn-型半導体領域11を設けたことにより、それらの間の接合耐圧が高められるので、情報の消去時にソース領域に印加する消去電圧を高めることができる。これにより、情報の消去時間あるいは消去の信頼性等の特性を向上することができる。

【0027】（2）ソース領域の端部を接合の浅いn+型半導体領域9で構成したことにより、フローティングゲート電極5の下部への回り込みが小さくなるので、ソース領域とフローティングゲート電極5の間の容量を低減することができる。

【0028】（3）前記（2）により、情報の消去時にソース領域を構成するn+型半導体領域9に印加した電圧によって第1ゲート絶縁膜4に発生する電圧を高めることができるので、情報の消去特性を向上することができる。

【0029】（4）ドレイン領域のチャネル領域側の端部を接合の浅いn+型半導体領域9によって構成したことにより、ドレイン領域とフローティングゲート電極5の間の容量が低減されるので、情報の読み出し速度を向

10

20

30

40

50

上することができる。

【0030】(5)ドレイン領域の端部の浅い接合を有する半導体領域9をn+型としたことにより、n-型とした場合と比較して書込み時におけるドレイン領域端部の電界を強めることができる。これにより、書込み電圧を低減することができる。

【0031】(6)ドレイン領域の端部を浅い接合を有するn+型半導体領域9で構成したことにより、フローティングゲート電極5の下部への廻り込みが小さくなるので、短チャネル効果を防止することができる。

【0032】次に、前記メモリセルの製造方法を説明する。

【0033】図4乃至図16は、メモリセルの図1と同一部分の製造工程における断面図又は平面図である。

【0034】図4に示すように、p-型半導体基板1の酸化による酸化シリコン膜18と、熱酸化マスクとして例えばCVDによる窒化シリコン膜19を用いて半導体基板1の所定の表面を酸化することによってフィールド絶縁膜2を形成する。p型チャンネルストッパ3は、フィールド絶縁膜2を形成する以前にイオン打込みによってp型不純物例えばボロン(B)を導入しておくことによ

って形成する。フィールド絶縁膜2を形成した後に、窒化シリコン膜19及び酸化シリコン膜18は除去する。

【0035】次に、図5に示すようにフィールド絶縁膜2から露出している半導体基板1の表面を酸化して酸化シリコン膜からなる第1ゲート絶縁膜4を形成する。

【0036】次に、図6に示すように、フローティングゲート電極5を形成するために、半導体基板1上の全面に例えばCVDによって多結晶シリコン膜5を形成する。多結晶シリコン膜5には、熱拡散、イオン打込み等

によってn型不純物例えばリン(P)を導入する。

【0037】次に、図7に示すように、多結晶シリコン膜5を、レジスト膜を用いたエッチングによってフローティングゲート電極5の所定の幅で、データ線DLが延在する方向に延在するようにパターンニングする。つまり、このパターンニング工程では、同一のデータ線DLに接続される複数のメモリセルのフローティングゲート電極5を一体にしたパターンに多結晶シリコン膜5をパターンニングする。周辺回路領域に形成された多結晶シリコン膜除去する。多結晶シリコン膜5をパターンニングした後に、レジスト膜からなるマスクは除去される。

【0038】次に、図8に示すように、多結晶シリコン膜5の表面を酸化して酸化シリコン膜からなる第2ゲート絶縁膜6を形成する。膜厚は250~350Å程度にする。この酸化工程でバッファ回路、デコード回路、センスアンプ等の周辺回路を構成するMISFETのゲート絶縁膜を形成するようにする。次に、コントロールゲート電極7及びワード線WLを形成するために例えばCVDによって半導体基板1上の全面に多結晶シリコン膜7を形成する。多結晶シリコン膜7には熱拡散、イオン

打込み等によってn型不純物例えばリン(P)を導入する。

【0039】次に、図9に示すように、レジスト膜からなるマスクを用いたエッチングによって多結晶シリコン膜をエッチングしてコントロールゲート電極7及びワード線WLを形成する。このエッチング工程で周辺回路のMISFETのゲート電極も形成する。前記エッチングに続いてフローティングゲート電極5から露出している第2ゲート絶縁膜6をエッチングする。さらに、多結晶シリコン膜5をエッチングしフローティングゲート電極5を形成する。この一連のエッチングの後に、レジスト膜からなるマスクを除去する。なお、コントロールゲート電極7、ワード線WL及び周辺回路のMISFETのゲート電極は、Mo、W、Ta、Ti等の高融点金属膜又はそのシリサイド膜あるいは多結晶シリコン膜の上に前記高融点金属膜又はシリサイド膜を積層した2層膜としてもよい。

【0040】次に、図10に示すように、フローティングゲート電極5及びコントロールゲート電極7(ワード線WL)の露出している表面を酸化して酸化シリコン膜8を形成する。この酸化の際にフローティングゲート電極5、コントロールゲート電極7から露出している半導体基板1の表面が酸化されて酸化シリコン膜8が形成される。

【0041】次に、図11に示すように、半導体基板1上に、n-型半導体領域11形成用のレジスト膜からなるマスク20を形成する。マスク20は、周辺回路領域も覆っている。次に、イオン打込みによって半導体基板1の露出している表面部にn型不純物例えばリン(P)を $1 \times 10^{13} \sim 1 \times 10^{14} \text{ atoms/cm}^2$ 程度導入してn-型半導体領域11を形成する。イオン打込みの後にマスク20を除去する。この後、n-型半導体領域11を、後に形成されるn+型半導体領域10より深い接合を有するようにするため、アニールにより引伸してもよい。

【0042】次に、図12に示すように、フローティングゲート電極5及びコントロールゲート電極7をマスクとしてイオン打込みによって半導体基板1の表面にn型不純物例えばヒ素(As)を $1 \times 10^{15} \text{ atoms/cm}^2$ 程度導入してn+型半導体領域9を形成する。なお、このイオン打込みの際に周辺回路領域をレジスト膜からなるマスクで覆ってメモリセル領域のみにイオン打込みするようにし、さらにメモリセル領域をレジスト膜からなるマスクで覆って周辺回路領域にn型不純物例えばリン(P)を $1 \times 10^{13} \text{ atoms/cm}^2$ 程度イオン打込みすることにより、周辺回路を構成するNチャンネルMISFETのソース、ドレイン領域をLDD(Lightly Doped Drain)構造にすることもできる。この場合、周辺回路領域に設けられたレジスト膜からなるマスクは、イオン打込みの後に除去す

る。

【0043】次に、図13に示すように、半導体基板1上の全面に、例えばCVDによってサイドウォールスペーサ12形成用の酸化シリコン膜12を形成する。

【0044】次に、図14に示すように、反応性イオンエッチング(RIE)によって酸化シリコン膜12を半導体基板1の表面が露出するまでエッチングしてサイドウォールスペーサ12を形成する。周辺回路を構成するためのMISFETのゲート電極の側部にもサイドウォールスペーサ12が形成される。前記エッチングによって露出した半導体基板1の表面を再度酸化して酸化シリコン膜8を形成する。

【0045】次に、図15に示すように、フローティングゲート電極5、コントロールゲート電極7及びサイドウォールスペーサ12をマスクとして、イオン打込みによってn型不純物例えばヒ素(As)を $1 \times 10^{16} \text{ atoms/cm}^2$ 程度導入してn型半導体領域10を形成する。このイオン打込み工程で周辺回路のNチャンネルMISFETのソース、ドレイン領域の高濃度層も形成される。なお、周辺回路のPチャンネルMISFETが構成される領域は、レジスト膜からなるマスクによって覆って前記n型不純物が導入されないようにする。このレジスト膜からなるマスクは、イオン打込みの後に除去する。NチャンネルMISFETを形成した後に、図示していないが、周辺回路のNチャンネルMISFET領域及びメモリセル領域をレジスト膜からなるマスクによって覆い、イオン打込みによって周辺回路のPチャンネルMISFET領域にp型不純物例えばボロン(B)を導入してPチャンネルMISFETのソース、ドレイン領域を形成する。NチャンネルMISFET及びメモリセル領域を覆っていたレジスト膜からなるマスクは、p型不純物を導入した後に除去する。

【0046】次に、図6に示すように、半導体基板1上の全面に例えばCVDによってPSG膜からなる絶縁膜13を形成する。この後、図1及び図2に示した接続孔14、アルミニウム膜からなるデータ線DL、図示していない最終保護膜を形成する。

【0047】以上、説明したように、本実施例の製造方法によれば、アドレスバッファ回路、デコーダ回路、センスアンプ回路等の周辺回路を構成するNチャンネルMISFETと略同一工程でメモリセルを形成することができる。

【0048】〔実施例2〕図17は、実施例2におけるメモリセルの断面図である。

【0049】実施例2は、n型半導体領域11を浅く形成して、n型半導体領域9のみがn型半導体領域11で覆われるようにし、n型半導体領域10の下部はn型半導体領域11が形成されないようにしたものである。n型半導体領域11の深さが浅いため、チャンネル領域への拡散も小さくなっている。したがって、メ

モリセルであるMISFETのしきい値の変動が低減されて電気的特性が向上する。また、短チャンネル効果が低減されるので、メモリセルの特性が向上する。

【0050】n型半導体領域11は、実施例1の方法で説明した図11の工程でn型半導体領域11を前記のようにn型半導体領域9のみを覆うように浅く形成すればよい。したがって、本実施例のメモリセルも周辺回路のNチャンネルMISFETと略同一工程で形成することができる。

10 【0051】〔実施例3〕図18は、実施例3のメモリセルの断面図である。

【0052】実施例3は、ソース領域のチャンネル領域側の端部を比較的低濃度のn型半導体領域21で構成し、ドレイン領域のチャンネル領域側の端部は接合の浅い高濃度のn型半導体領域9で構成したものである。ソース領域の端部がn型半導体領域21で構成されていることから、ソース領域すなわちn型半導体領域10及びn型半導体領域21と半導体基板1の間のアバランシェブレイクダウン電圧が高められている。これにより、情報の消去時にソース領域に印加する消去電圧を高めることができる。なお、n型半導体領域21は、 $0.2 \mu\text{m}$ 程度の深さに形成される。

【0053】一方、ドレイン領域のチャンネル領域側がn型半導体領域9となっており、n型半導体領域9と半導体基板1の間に加える電界を強めることができる。

【0054】したがって、情報の書込み時におけるホットキャリアの発生を高めることができる。

30 【0055】n型半導体領域9及びn型半導体領域21のチャンネル長方向における長さはサイドウォールスペーサ12によって規定されている。

【0056】次に、本実施例のメモリセルの製造方法を説明する。

【0057】図19乃至図23は、製造工程におけるメモリセルの断面図である。

【0058】図19に示すように、実施例1と同様にフローティングゲート電極5、第2ゲート絶縁膜6、コントロールゲート電極7(ワード線WL)、酸化シリコン膜8を形成する。

40 【0059】次に、図20に示すように、メモリセルであるMISFETのドレイン領域を覆うようにレジスト膜からなるマスク22を半導体基板1上に形成する。マスク22は、バッファ回路、デコーダ回路、センスアンプ回路等の周辺回路を構成するPチャンネルMISFETが形成される領域も覆うように設ける。次に、イオン打込みによってn型不純物例えばリン(P)を $1 \times 10^{14} \sim 1 \times 10^{15} \text{ atoms/cm}^2$ 程度導入してn型半導体領域21を形成する。この後、マスク22を除去する。

50 【0060】次に、図21に示すように、メモリセルのソース領域及び接地線領域を覆うように、レジスト膜からなるマスク23を半導体基板1上に形成する。マスク

23は、周辺回路を構成するPチャネルMISFET領域及びNチャネルMISFET領域も覆うように形成する。次に、イオン打込みによってn型不純物例えばヒ素(As)を $1 \times 10^{15} \text{ atoms/cm}^2$ 程度導入してn+型半導体領域9を形成する。イオン打込みの後に、マスク23を除去する。

【0061】次に、図22に示すように、酸化シリコン膜からなるサイドウォールスペーサ12を形成する。サイドウォールスペーサ12は、周辺回路のNチャネルMISFET及びPチャネルMISFETのゲート電極の側部にも形成される。

【0062】次に、周辺回路のPチャネルMISFETが設けられる領域をレジスト膜からなるマスクで覆った後に、図23に示すように、イオン打込みによってn型不純物例えばヒ素(As)を $1 \times 10^{16} \text{ atoms/cm}^2$ 程度導入してn+型半導体領域10を形成する。n+型半導体領域10は、周辺回路のNチャネルMISFETのソース、ドレイン領域にも形成される。イオン打込みの後に、周辺回路のPチャネルMISFET領域を覆っていたレジスト膜からなるマスクを除去する。

【0063】ここまでの工程で、メモリセルであるMISFETはソース領域の端部がn型半導体領域21で構成され、ドレイン領域の端部がn+型半導体領域9で構成されている。また、周辺回路のNチャネルMISFETは、ソース、ドレイン領域の端部がn型半導体領域21で構成されている。

【0064】なお、図21に示したマスク23は、周辺回路領域においては、PチャネルMISFET領域の全領域とNチャネルMISFET領域のドレイン領域のみを覆うように形成し、NチャネルMISFETのソース領域を露出するように形成してもよい。このようにすると、周辺回路のNチャネルMISFETは、ソース領域の端部がn+型半導体領域9で構成され、ドレイン領域の端部がn型半導体領域21で構成される。ドレイン領域端部の電界が緩和され、またソース領域の端部がn+型であることからトランスコンダクタンスが高められる。

【0065】この後の製造工程は、実施例1と同様である。

【0066】〔実施例4〕図24は、実施例4のメモリセルの断面図である。

【0067】実施例4は、ソース領域のチャネル領域側の端部はn型半導体領域21で構成し、ドレイン領域の端部はn+型半導体領域9で構成し、さらにこのn+型半導体領域9の下部にp型半導体領域24を設けたものである。p型半導体領域24は、チャネル領域側の端部がフローティングゲート電極5及びコントロールゲート電極7で規定され、ゲート幅方向における長さがフィールド絶縁膜2で規定されている。p型半導体領域24は、n+型半導体領域9の下部にのみ設けられており、

n+型半導体領域10の下部には設けられていない。このため、ドレイン領域端部におけるホットキャリアの発生効率を高めることができる。

【0068】p型半導体領域24は、実施例3の製造工程の図21におけるイオン打込み工程でp型不純物例えばボロン(B)をn+型半導体領域9を形成する以前に打込んで形成すればよい。このようにすれば、略ど工程を増加することなくp型半導体領域24を形成することができる。

10 【0069】p型半導体領域24を図21に示した工程で形成すれば、周辺回路を構成するNチャネルMISFETのドレイン領域の端部にもp型半導体領域24が形成される。この周辺回路におけるp型半導体領域24は、ドレイン領域の空乏層の延びを低減する上で有効である。すなわち、パンチスルー防止にとって有効である。なお、周辺回路のNチャネルMISFETにp型半導体領域24が形成されないようにするには、図21に示した工程で形成されるレジストマスク23を周辺回路領域のPチャネルMISFET領域のみならずNチャネルMISFETも完全に覆うようにした後にイオン打込みによってメモリセル領域にのみp型半導体領域24を形成すればよい。n+型半導体領域9は、前記マスクを除去した後に新にメモリセルのドレイン領域及び周辺回路のNチャネルMISFETのドレイン領域を露出するパターンのレジスト膜からなるマスクを形成し、この後にイオン打込みによって形成すればよい。このようにすれば、メモリセルのみにp型半導体領域24を形成することができる。

30 【0070】〔実施例5〕図25は、実施例5のメモリセルの断面図である。

【0071】実施例5は、P型半導体領域24をドレイン領域のn+型半導体領域9の底部のみならずチャネル側の側面Aにも形成したものである。p型半導体領域24はn+型半導体領域10の下部には設けられていない。n+型半導体領域9のチャネル領域側の側面Aにp型半導体領域24を形成することにより、ドレイン領域端部の電界が強化されて、情報の書込み時におけるホットキャリアの発生効率を高めることができる。

40 【0072】本実施例5におけるp型半導体領域24は、前記実施例4におけるp型半導体領域24と同様に周辺回路のNチャネルMISFETのドレイン領域に同一工程で形成することもできる。また、周辺回路には形成しないようにすることもできる。

【0073】〔実施例6〕図26は実施例6のメモリセルの断面図である。

50 【0074】実施例6は、メモリセルのドレイン領域は $0.25 \mu\text{m}$ 程度の深い接合を有するn+型半導体領域10のみで形成し、ソース領域は $0.25 \mu\text{m}$ 程度の深い接合を有するn+型半導体領域10のみで形成し、ソース領域は $0.25 \mu\text{m}$ 程度の深い接合を有するn+型半導体領域

域10とこれを覆うように設けたn-型半導体領域11とで構成したものである。n+型半導体領域10は接合が深いことから濃度分布は緩やかである。さらにそれを覆ってn-型半導体領域11を設けていることから、ソース領域の濃度分布はさらに緩和される。したがって、ソース領域と半導体基板1の間の接合耐圧が高められており、情報の消去特性が向上する。

【0075】n-型半導体領域11は、実施例1の図11のn-型半導体領域11と同層の方法で形成し得る。図11に示したマスク20を周辺回路領域においては、NチャネルMISFETのドレイン領域を開口しソース領域とPチャネルMISFET領域を覆うようにすれば、周辺回路のNチャネルMISFETをドレイン領域のみ2重ドレイン構造に形成することができる。

【0076】〔実施例7〕図27は実施例7のメモリアルレイの一部の平面図、図28は図27のA-A切断面における断面図、図29はメモリセルレイの等価回路である。

【0077】実施例7は、記憶素子Qmとは別に選択MISFETQrを設け、これら2つのMISFETで1つのメモリセルを構成したものである。

【0078】図27乃至図29において、記憶素子QmであるMISFETは、実施例1のメモリセルと同様に酸化シリコン膜からなる第1ゲート絶縁膜4、フローティングゲート電極5、酸化シリコン膜からなる第2ゲート絶縁膜6、コントロールゲート電極7、ソース領域であるn+型半導体領域9、10、n-型半導体領域11、ドレイン領域であるn+型半導体領域9、10とで構成してある。新たに設けた選択MISFETは、半導体基板1の表面の酸化による酸化シリコン膜からなるゲート絶縁膜6、例えば第2層目の多結晶シリコン膜からなるゲート電極26、ソース、ドレイン領域のチャンネル領域側の端部を構成しているn-型半導体領域25、ソース、ドレイン領域のチャンネル領域から離隔された部分を構成しているn+型半導体領域10とで構成してある。ゲート電極26は、データ線DLが延在している方向と交差する方向に延在して第1ワード線WL1を構成している。これと平行に、コントロールゲート電極7と一体に形成した第2ワード線WL2が延在している。読み出し時における選択MISFETQrのドレイン領域の一部を構成しているn+型半導体領域10は、読み出し時におけるMISFETQmのソース領域の一部であるn+型半導体領域10と共通になっている。同一のデータ線DLに同一の接続孔14を通して接続されている2つのメモリセルにおいて、それぞれの選択MISFETQrのドレイン領域の一部であるn+型半導体領域10は一体になっている。図27に示すように、選択MISFETQrのチャンネル幅は記憶素子であるMISFETQmのそれより大きくなっている。MISFETQmのソース領域と一体に形成され、ワード線WL1、WL2

が延在しているそれぞれの接地線GLは、図29に示すように、NチャネルMISFETQs1、Qs2に接続されている。

【0079】情報の書込み時において、全てのMISFETQs2が導通状態となりまた全てのMISFETQs1が非導通状態となってそれぞれの接地線GLを回路の接地電位Vss例えば0Vにする。選択されたメモリセルに接続されている第1ワード線WL1は、Vpp例えば13Vにされる。それ以外の第1ワード線WL1は接地電位Vss例えば0Vである。選択メモリセルに接続している第2ワード線WL2は、書込み電位Vpp例えば13Vにされ、それ以外の第2ワード線WL2はフローティングもしくは接地電位Vss例えば0Vである。選択されたメモリセルに接続しているデータ線DLはHレベル例えば5Vにされ、それ以外のデータ線DLは接地電位Vssとされる。

【0080】情報の読み出し時において、MISFETQs1を非導通状態とし、MISFETQs2を導通状態にして接地線GLを回路の接地電位Vss例えば0Vにする。選択されたメモリセルに接続している第1ワード線WL1が電源電位にされる。それ以外のワード線WL1は接地電位Vssにされる。記憶素子を構成する第2ワード線WL2は全ての電源電位Vccにされるが、記憶素子の消去後のVthが負、例えば-3Vの場合には接地電位Vssにされる。選択されたメモリセルに接続しているデータ線DLは1V程度印加され、それ以外のデータ線DLはVssまたはフローティング状態とされる。

【0081】情報の消去時において、全MISFETQs1が導通状態とされ、全MISFETQs2が非導通状態とされる。すなわち、全接地線GLが消去電位Vpp例えば13Vにされる。全ての第2ワード線WL2は接地電位Vssとされる。第1ワード線およびデータ線DLは接地電位またはフローティングにされる。これらの条件を設定すると、全メモリセルの情報が一括消去される。

【0082】以上、本実施例のメモリセルの構成により、次の効果を得ることができる。

【0083】(1)メモリセルを選択MISFETQrと、記憶素子Qmとで構成したことにより、消去後のVthをほぼ一定にする必要がないので消去回路の構成を簡単にすることができる。

【0084】(2)選択MISFETQrのソース、ドレイン領域の端部をn-型半導体領域25で構成したことにより、ホットキャリアの発生を低減することができる。

【0085】なお、本実施例における記憶素子は、実施例1で説明したメモリセルからなっているが、実施例2乃至実施例6のいずれのメモリセルを適用してもよい。

【0086】次に、本実施例のメモリセルの製造方法を

10

20

30

40

50

説明する。

【0087】図30乃至図35は、製造工程におけるメモリセルの平面図または断面図である。

【0088】図30に示すように、半導体基板1の表面の酸化によって100Å程度の膜厚を有する第1ゲート絶縁膜4（図示せず）を形成した後に、例えばCVDによって半導体基板1上の全面にフローティングゲート電極5となる多結晶シリコン膜を形成し、これをレジスト膜からなる膜を用いたエッチングによってパターンニングする。このエッチングでは、同一のデータ線DLに接続され、接地線GLを共通にする2つのメモリセルのフローティングゲート電極5を一体化したパターンニングする。したがって、ゲート電極26（第1ワード線WL₁）が設けられる表面部は多結晶シリコン膜5から露出している。

【0089】次に、多結晶シリコン膜5の露出している表面及び多結晶シリコン膜5から露出している半導体基板1の表面を酸化して第2ゲート絶縁膜6及び選択MISFETQ_rのゲート絶縁膜6を形成する。ゲート絶縁膜6の形成工程でデコード回路等の周辺回路を構成するMISFETのゲート絶縁膜も形成することができる。この後、コントロールゲート電極7（第2ワード線WL₂）及びゲート電極26（第2ワード線WL₂）さらに周辺回路のMISFETのゲート電極を形成するために例えばCVDによって半導体基板1上の全面に多結晶シリコン膜を形成し、これをレジスト膜からなるマスクを用いたエッチングによってパターンニングして図31に示すように、ゲート電極7及び26を形成する。このエッチング工程で周辺回路のMISFETのゲート電極も形成することができる。なお、ゲート電極7及び26は、Mo、W、Ta、Ti等の高融点金属膜又はそのシリサイド膜あるいは多結晶シリコン膜の上に前記高融点金属膜又はシリサイド膜を構成してもよい。次に、ゲート電極5、7、26及び半導体基板1の露出している表面を酸化して酸化シリコン膜8を形成する。

【0090】次に、図32に示すように、n型半導体領域11を形成するためのレジスト膜からなるマスク27を半導体基板1上に形成する。マスク27は、メモリセル領域では情報の読み出し時における記憶素子Q_mのソース領域を露出するパターンで設けられ、また周辺回路領域では全領域を覆うパターンで設けられる。次に、イオン打込みによってマスク27から露出している半導体基板1の表面にn型不純物例えばリン（P）を導入してn型半導体領域11を形成する。この後、マスク27を除去する。

【0091】次に、図33に示すように、半導体基板1の表面に、ゲート電極5、7及び26をマスクとしてイオン打込みによってn型不純物例えばヒ素（As）又はリンを導入してn型半導体領域25を形成する。このイオン打込み工程で、周辺回路を構成するNチャネルM

ISFETのソース、ドレイン領域の低濃度層を形成することができる。PチャネルMISFETが設けられる領域はレジスト膜からなるマスクで覆う。このマスクは、前記イオン打込みの後に除去する。

【0092】次に、図34に示すように、記憶素子Q_mのソース、ドレイン領域の一部を構成するn型半導体領域9を形成するためのレジスト膜からなるマスク28を半導体基板1上に形成する。マスク28は、メモリセル領域においては選択MISFETQ_rのソース、ドレイン領域を覆うパターンで設けられ、周辺回路領域は全て覆うパターンで設けられる。次に、ゲート電極5、7をイオン打込みのマスクとして、マスク28から露出している半導体基板1の表面にイオン打込みによってn型不純物例えばヒ素（As）を導入してn型半導体領域9を形成する。イオン打込みの後にマスク28を除去する。

【0093】次に、図35に示すように、例えばCVDによる酸化シリコン膜と反応性イオンエッチング（RIE）を用いてサイドウォールスペーサ12を形成する。サイドウォールスペーサ12は、周辺回路を構成するNチャネルMISFET及びPチャネルMISFETいずれのゲート電極にも形成される。次に、PチャネルMISFET領域をレジスト膜からなるマスクで覆った後に、サイドウォールスペーサ12及びゲート電極5、7又は26をマスクとしてイオン打込みによってn型不純物例えばヒ素（As）を半導体基板1の表面に導入してn型半導体領域10を形成する。周辺回路を構成するためのNチャネルMISFETのソース、ドレイン領域の高濃度領域も同時に形成される。イオン打込みの後に、Pチャネル領域を覆っていたレジスト膜からなるマスクを除去する。この後、メモリセル領域及び周辺回路のNチャネルMISFET領域をレジスト膜からなるマスクで覆い、PチャネルMISFET領域にp型不純物例えばボロン（B）を導入してソース、ドレイン領域であるp型半導体領域を形成する。レジスト膜からなるマスクは、イオン打込みの後に除去する。

【0094】以後の工程は、実施例1の製造方法と同様であるので説明を省略する。

【0095】以上の説明のように、メモリセルの選択MISFETQ_rと記憶素子であるMISFETQ_mを同一工程で形成することができる。

【0096】また、周辺回路を構成するNチャネルMISFETとメモリセルを同一工程で形成することができる。

【0097】〔実施例8〕図36はメモリセルの断面図である。

【0098】本実施例はメモリセルを1つのMISFETで構成し、そのソース領域に接合の深いn型半導体領域11を設け、ドレイン領域に接合の深いp型半導体領域24を設けたものである。ソース、ドレイン領域

10

20

30

40

50

のチャネル領域側の端部は、 $0.1\mu\text{m}$ 程度の浅い接合を有するn+型半導体領域9で構成されている。チャネル領域から離隔された部分は、 $0.25\mu\text{m}$ 程度の深い接合を有するn+型半導体領域10からなっている。n-型半導体領域11は、ソース、ドレイン領域の一部であるn+型半導体領域9、10より深い接合を有している。また、チャネル領域においてはn+型半導体領域9と半導体基板1の間に介在している。n-型半導体領域11が設けられていることにより、ソース領域と半導体基板1の間の接合耐圧が高くなっている。したがって、情報の消去時にソース領域に印加される消去電圧 V_{pp} を13V程度に高くすることができるので、消去時間を短縮することができる。また、消去を確実に行うことができる。

【0099】一方、ドレイン領域では、p型半導体領域24がn+型半導体領域9及び10の下部にまで達している。チャネル領域においては、n+型半導体領域9と半導体基板1の間にp型半導体領域24が介在している。ドレイン領域と半導体基板1の間に生じる電界を強化する構成となっている。情報の書込み時におけるホットキャリアの発生効率が向上し、書込み電圧を5V以下に下げることができる。

【0100】次に、本実施例のメモリセルの製造方法を説明する。

【0101】図37乃至図41は製造工程におけるメモリセルの断面図である。

【0102】図37に示すように、実施例1と同様に、第1ゲート絶縁膜4、フローティングゲート電極5、第2ゲート絶縁膜6、コントロールゲート電極7（ワード線WL）、酸化シリコン膜8を形成する。この後、n-型半導体領域11を形成するためのレジスト膜からなるマスク29を半導体基板1上に形成する。マスク29はメモリセルのソース領域及び接地線GLを露出したパターンに形成する。周辺回路領域は全てマスク29で覆う。次に、イオン打込みによってn型不純物例えばリン(P)ドーズ量 $10^{13}\sim 10^{14}\text{atoms}/\text{cm}^2$ をマスク29及びゲート電極5、7から露出している半導体基板1の表面に導入してn-型半導体領域11を形成する。イオン打込みの後にマスク29を除去する。

【0103】次に、図38に示すように、メモリセルのソース領域及び接地線GL領域をレジスト膜からなるマスク30で覆う。マスク30は、周辺回路領域の全てを覆うように設けられる。次にマスク30及びゲート電極5、7から露出している半導体基板1の表面にp型不純物例えばボロン(B)ドーズ量 $2\times 10^{12}\sim 5\times 10^{12}\text{atoms}/\text{cm}^2$ を導入してp型半導体領域24を形成する。この後、マスク30を除去する。なお、この後、アニールによりn-型半導体領域11及びp型半導体領域24を引伸してもよい。

【0104】次に、図39に示すように、ゲート電極

5、7をマスクとし、イオン打込みによってn型不純物例えばヒ素(As)を半導体基板1の表面に導入してn+型半導体領域9を形成する。なお、このイオン打込み工程では周辺回路領域をレジスト膜からなるマスクによって覆う。なお、前記イオン打込みを2回に分けて行うようにし、1回目のイオン打込みではn型不純物を低濃度でメモリセル領域及び周辺回路のNチャネルMISFET領域に導入し、2回目のイオン打込みでは周辺回路領域の全領域をレジスト膜からなるマスクで覆ってn型不純物を周辺回路領域には導入しないようにしてもよい。このようにすれば、メモリセル領域には接合の浅いn+型半導体領域9を形成することができ、周辺回路のNチャネルMISFET領域には接合の浅いn-型半導体領域を形成することができる。

【0105】次に、図40に示すように、例えばCVDによる酸化シリコン膜及びRIEを用いてサイドウォールスペーサ12を形成する。周辺回路のMISFETのゲート電極の側部にもサイドウォールスペーサ12が形成される。

【0106】次に、図41に示すように、PチャネルMISFET領域をレジスト膜からなるマスクで覆った後に、イオン打込みによってn型不純物例えばヒ素(As)を導入してn+型半導体領域24を形成する。n+型半導体領域24は、周辺回路のNチャネルMISFETのソース、ドレイン領域のチャネル領域から離隔された部分にも形成される。PチャネルMISFET領域を覆っていたレジスト膜からなるマスクは、イオン打込みの後に除去する。次に、メモリセル領域及び周辺回路のNチャネルMISFET領域をレジスト膜からなるマスクで覆った後に、PチャネルMISFET領域にp型不純物例えばボロン(B)を導入してソース、ドレイン領域であるp+型半導体領域を形成する。イオン打込みの後に、メモリセル領域及び周辺回路のNチャネルMISFET領域を覆っていたレジスト膜からなるマスクを除去する。

【0107】以上の説明のように、メモリセルと周辺回路のNチャネルMISFETとを同一工程で形成できる。

【0108】〔実施例9〕図42は実施例9のメモリセルの断面図である。

【0109】本実施例は、ソース領域のチャネル領域側の端部に設けられているn+型半導体領域9の周囲にのみn-型半導体領域11を設け、ドレイン領域のチャネル領域側の端部に設けられているn+型半導体領域9の周囲にのみp型半導体領域24を設けたものである。ソース領域の端部にn-型半導体領域11を設けていることにより、ソース領域と半導体基板1の間の接合耐圧が高められ、消去電圧を高くすることができる。また、n-型半導体領域11がn+型半導体領域10と同程度の接合深さであり、チャネル領域への廻り込みが小さいこ

とからしきい値の変動が小さくメモセルの電気的特性が向上している。

【0110】一方、p型半導体領域24により、ドレイン領域の端部と半導体基板1の間に加る電界が強くなる。したがって、ホットキャリアの発生効率が向上し書き込み特性が向上する。また、p型半導体領域24はn+型半導体領域10と同程度に浅いので、チャンネル領域への廻り込みが小さくなっている。しきい値の変動が小さく、メモセルの電気的特性が向上している。

【0111】また、n+型半導体領域10の下部にp型半導体領域24がないことにより、ドレイン領域の寄生容量が小さくなっている。

【0112】本実施例におけるn-型半導体領域11及びp型半導体領域24は、実施例8のn-型半導体領域11及びp型半導体領域24と同様の方法で形成することができる。

【0113】〔実施例10〕図43は、実施例10におけるメモセルの断面図である。

【0114】実施例10は、ソース領域にn+型半導体領域10の下部にまで達する深い接合を有するn-型半導体領域11を設け、チャンネル領域にp型半導体領域31を設けたものである。n-型半導体領域11はチャンネル領域に達している。ドレイン領域の端部を構成しているn+型半導体領域9の下部には半導体領域を設けていない。n-型半導体領域11によってソース領域と半導体基板1の間の接合耐圧を高めている。一方、p型半導体領域31によってドレイン領域の端部に加る電界を強くすることができる。

【0115】p型半導体領域31は、メモセルのしきい値を調整するためにチャンネル領域にp型不純物例えばボロン(B)を導入するイオン打込み工程を用いることができる。p型半導体領域31を形成するためのイオン打込みのドーズ量は、 $2 \times 10^{12} \sim 5 \times 10^{12} \text{ atoms/cm}^2$ 程度であればよい。なお、周辺回路のMISFETのしきい値を調整するためのイオン打込みは、メモセルと別に行ってもよい。

【0116】〔実施例11〕図44は実施例11のメモセルの断面図である。

【0117】実施例11は、ドレイン領域を構成しているn+型半導体領域9及び10を包むように深い接合を有するp型半導体領域24を設け、またチャンネル領域にn-型半導体領域32を設けたものである。p型半導体領域24がn+型半導体領域9を取囲んで形成されているため、ドレイン領域端部の空乏層の伸びが抑えられる。したがって、書き込み時におけるドレイン端部のホットキャリアの発生効率を高めることができる。

【0118】一方、ソース領域のチャンネル側の端部は、n-型半導体領域32があるために電界が緩和される。このため、情報の消去時にソース領域に印加する消去電圧を高めることができる。n-型半導体領域32を形成

するためのイオン打込みは、例えばヒ素(As)をドーズ量 $10^{11} \sim 10^{12} \text{ atoms/cm}^2$ のオーダーで行う。

【0119】なお、実施例8～実施例11までのメモセルであるMISFETは、実施例7のメモセルのように選択MISFETQrと2つで1つのメモセルを構成するようにしてもよい。

【0120】以上、本発明を実施例にもとづき具体的に説明したが、本発明は前記実施例に限定されるものではなくその要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。

【0121】

【発明の効果】本願によって開示された発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0122】メモセルであるMISFETのソース領域と半導体基板の間の接合耐圧を高めたので、情報の消去時に印加する消去電圧Vppを高くすることができる。これにより、消去効率を向上することができる。

【0123】また、メモセルであるMISFETのドレイン領域の端部の電界が強くなるように構成したので、書き込み特性の向上を図ることができる。

【図面の簡単な説明】

【図1】図2のA-A切断線における平面図である。

【図2】実施例1のメモセルの平面図である。

【図3】実施例1のメモセルアレイの等価回路である。

【図4】実施例1の製造工程におけるメモセルの断面図である。

【図5】実施例1の製造工程におけるメモセルの断面図である。

【図6】実施例1の製造工程におけるメモセルの断面図である。

【図7】実施例1の製造工程におけるメモセルの平面図である。

【図8】実施例1の製造工程におけるメモセルの断面図である。

【図9】実施例1の製造工程におけるメモセルの断面図である。

【図10】実施例1の製造工程におけるメモセルの断面図である。

【図11】実施例1の製造工程におけるメモセルの断面図である。

【図12】実施例1の製造工程におけるメモセルの断面図である。

【図13】実施例1の製造工程におけるメモセルの断面図である。

【図14】実施例1の製造工程におけるメモセルの断面図である。

【図15】実施例1の製造工程におけるメモセルの断

面図である。

【図16】実施例1の製造工程におけるメモリセルの断面図である。

【図 17】 実施例 2 のメモリセルの断面図である。

【図18】実施例3のメモリセルの断面図である。

【図19】実施例3のメモリセルの製造工程における断面図である。

【図20】実施例3のメモリセルの製造工程における断面図である。

【図 21】実施例 3 のメモリセルの製造工程における断面図である。

【図22】実施例3のメモリセルの製造工程における断面図である。

【図23】実施例3のメモリセルの製造工程における断面図である。

【図24】実施例4のメモリセルの断面図である。

【図25】実施例5のメモリセルの断面図である。

【図26】実施例6のメモリセルの断面図である。

【図27】実施例7のメモリセルの平面図である。

【図28】図27のA-A切断線における断面図である。 20

【図29】実施例7のメモリセルアレイの等価回路である。

【図30】実施例7のメモリセルの製造工程における平面図である。

【図31】実施例7のメモリセルの製造工程における断面図である。

【図32】実施例7のメモリセルの製造工程における断面図である。

【図 33】実施例 7 のメモリセルの製造工程における断面図である。

【図34】実施例7のメモリセルの製造工程における断面図である。

【図35】実施例7のメモリセルの製造工程における断面図である。

【図36】実施例8のメモリセルの断面図である。

【図37】実施例8のメモリセルの製造工程における断面図である。

【図38】実施例8のメモリセルの製造工程における断面図である。

【図39】実施例8のメモリセルの製造工程における断面図である。

【図４０】実施例８のメモリセルの製造工程における断面図である。

【図４１】実施例８のメモリセルの製造工程における断面図である。

【図 4 2】実施例 9 のメモリセルの断面図である。

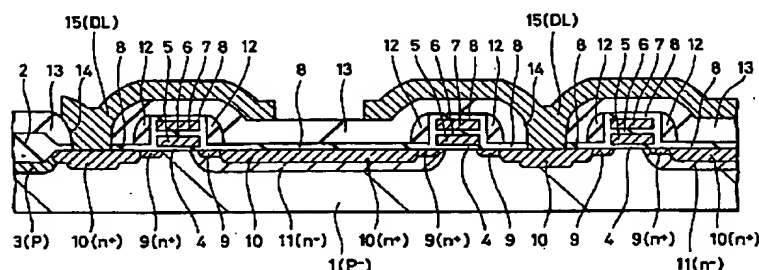
【図43】実施例10のメモリセル断面図である。

【図 4 4】実施例 11 のメモリセル断面図である。

【符号の説明】

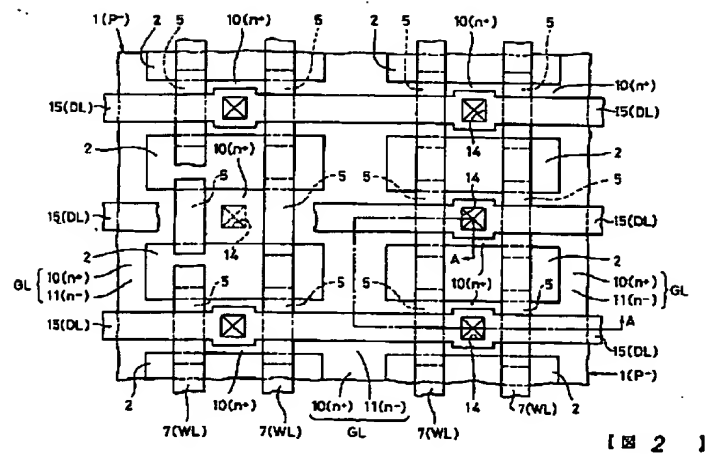
１・・・半導体基板、２・・・フィールド絶縁膜、３・・・チャネルストップ領域、４・・・第１ゲート絶縁膜、５・・・フローティングゲート電極、６・・・第２ゲート絶縁膜、７・・・コントロールゲート電極、８・・・酸化シリコン膜、９、１０・・・ n ＋型半導体領域（ソース、ドレインの一部を構成する）、１１・・・ n －型半導体領域（ソース領域の一部を構成する）、１２・・・サイドウォールスペーサ、１３・・・絶縁膜、１４・・・接続孔、１５、１６・・・デコーダ、１７・・・センスアンプ、 Q_m ・・・メモリセル、 DL ・・・データ線、 WL ・・・ワード線、 GL ・・・接地線、１８・・・下地膜（酸化シリコン膜）、１９・・・熱酸化マスク（窒化シリコン膜）、２０、２２、２３、２７、２８、２９、３０・・・レジスト膜、２１・・・ n －型半導体領域（ソース領域の一部を構成する）、２４・・・ p 型半導体領域（ドレイン領域端部の電界を強化する）、２５・・・ n －型半導体領域（選択 $MISFET$ のソース、ドレインの一部を構成する）、２６・・・選択 $MISFET$ のゲート電極、３１・・・ p 型半導体領域（ドレイン領域端部の電界を強化する）、３２・・・ n －型半導体領域（ソース領域の一部を構成する）。

【☒ 1】



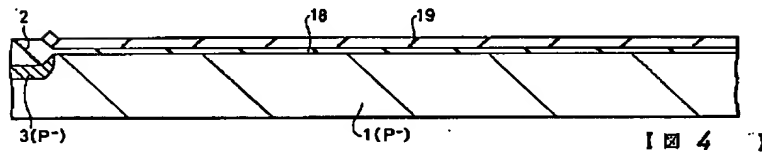
【 21 】

【図2】



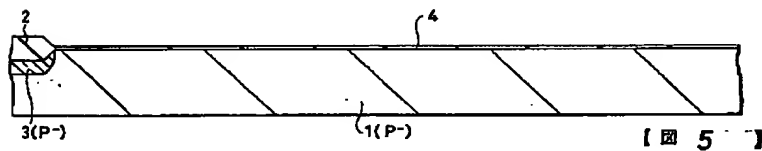
【図2】

【図4】



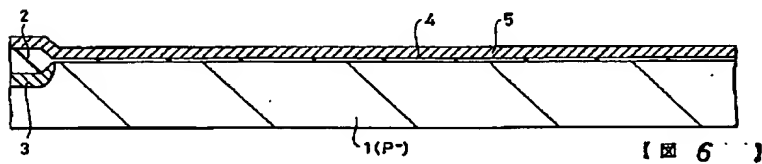
【図4】

【図5】



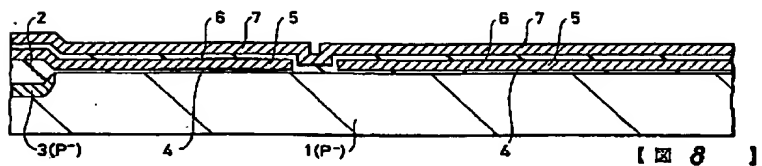
【図5】

【図6】



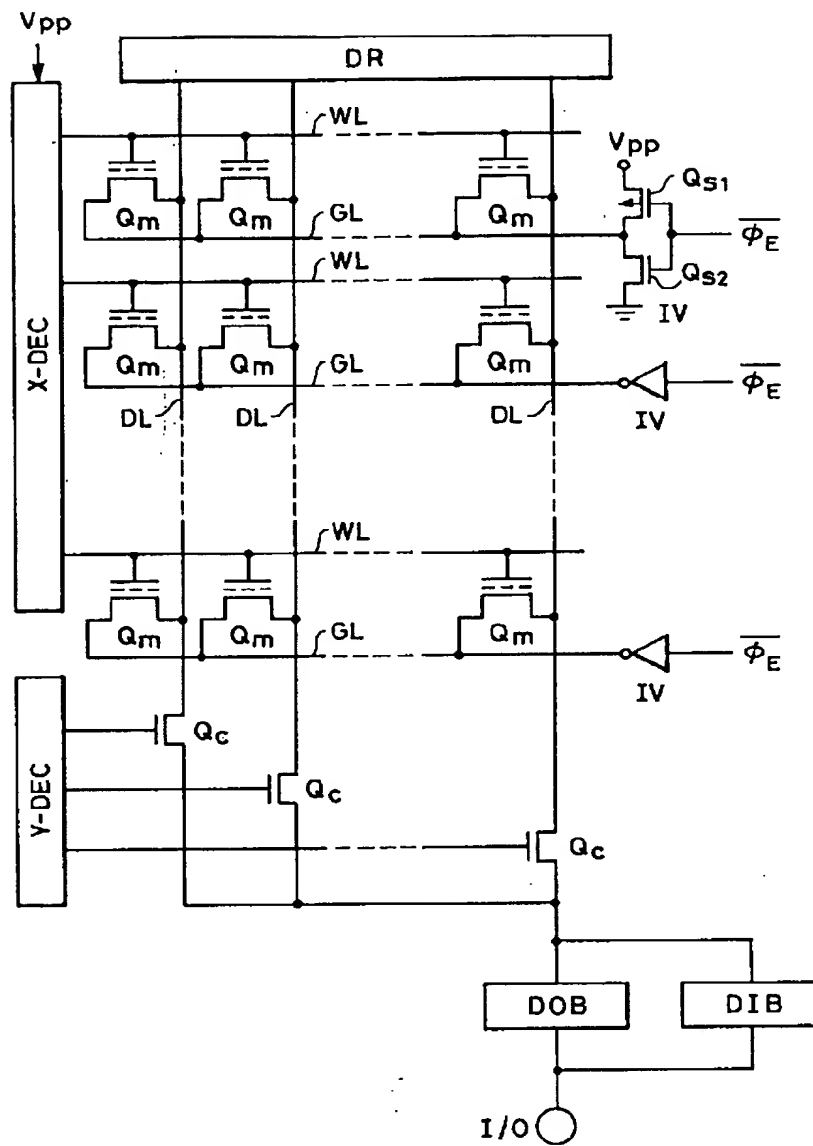
【図6】

【図8】



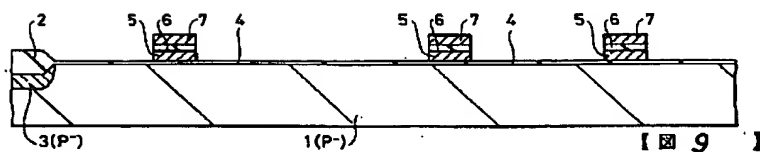
【図8】

【図3】

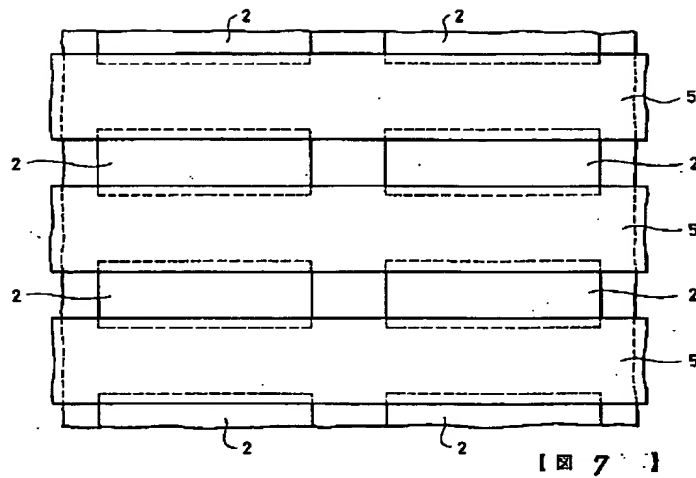


【図3】

【図9】

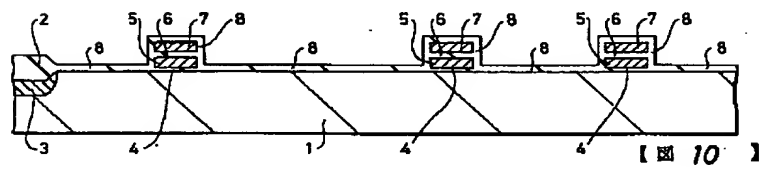


【図7】



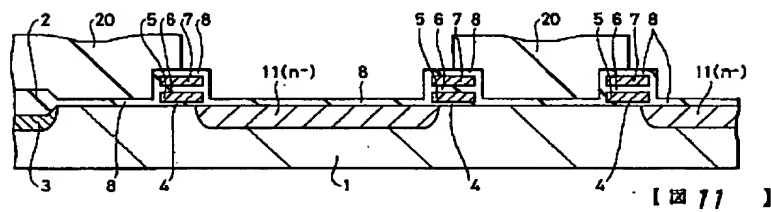
【図7】

【図10】



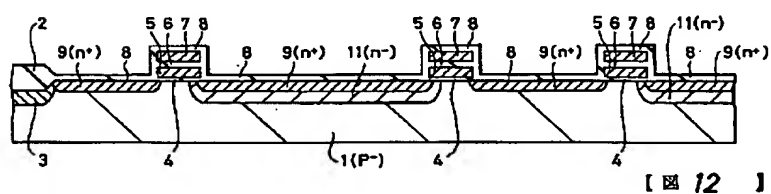
【図10】

【図11】



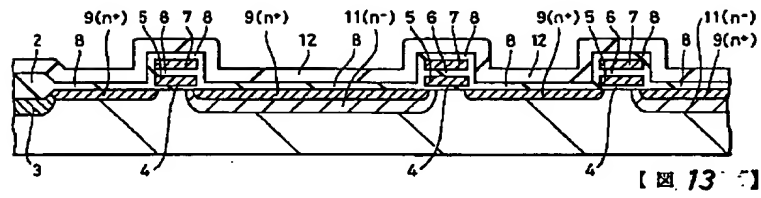
【図11】

【図12】

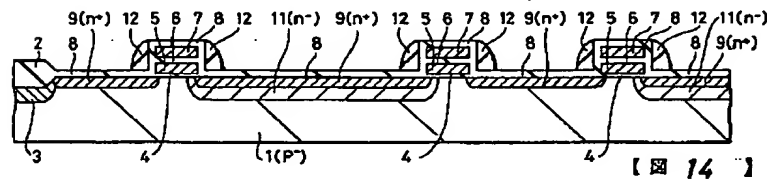


【図12】

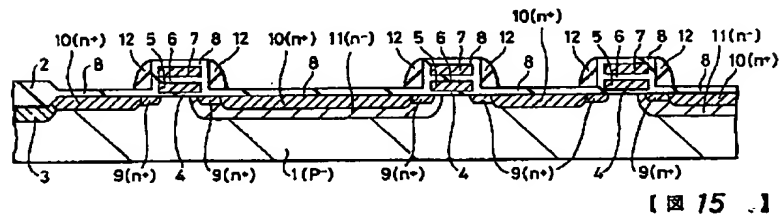
【図13】



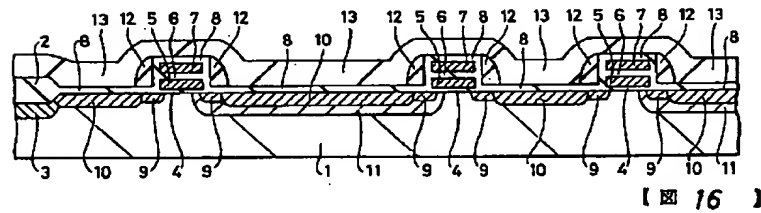
【図14】



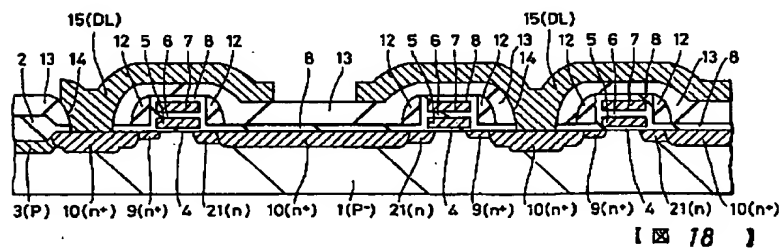
【図15】



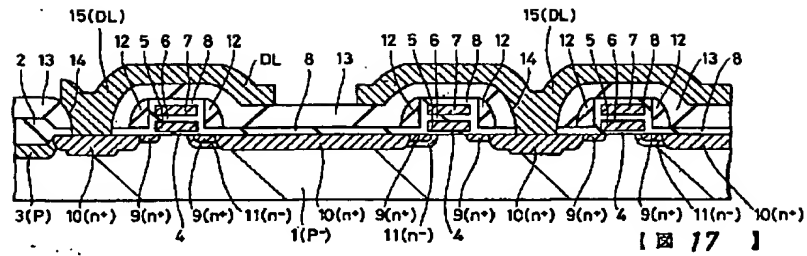
【図16】



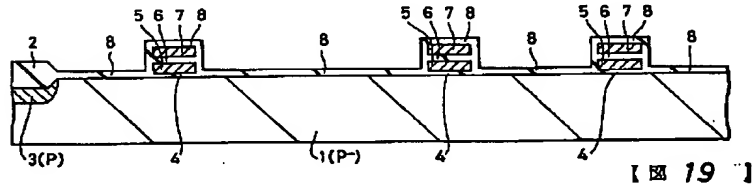
【図18】



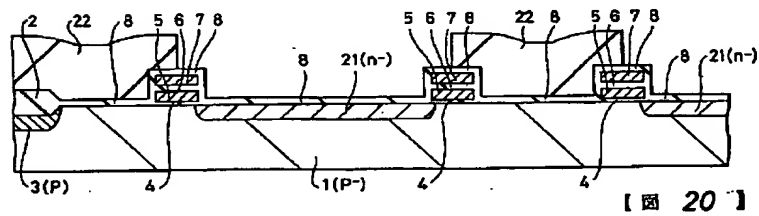
【図17】



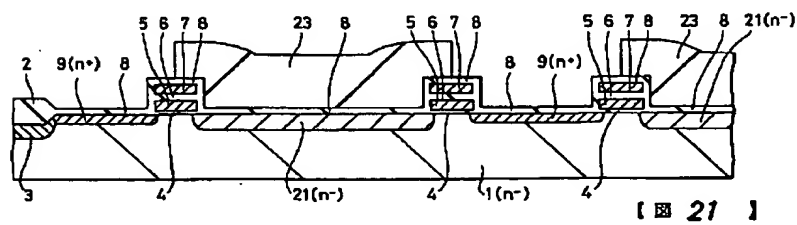
【図19】



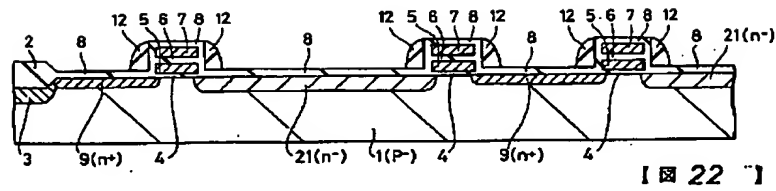
【図20】



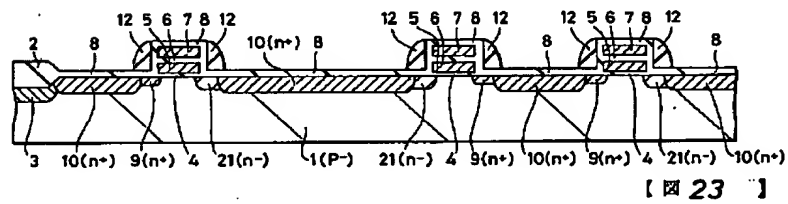
【図21】



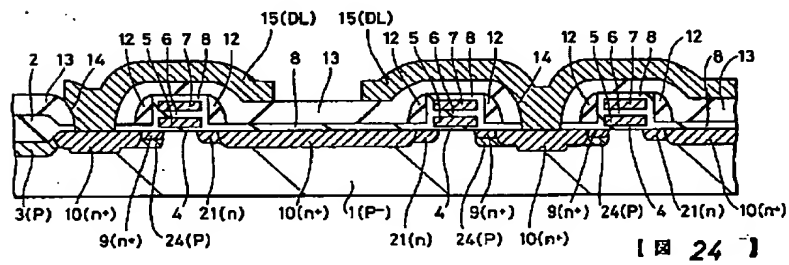
【図22】



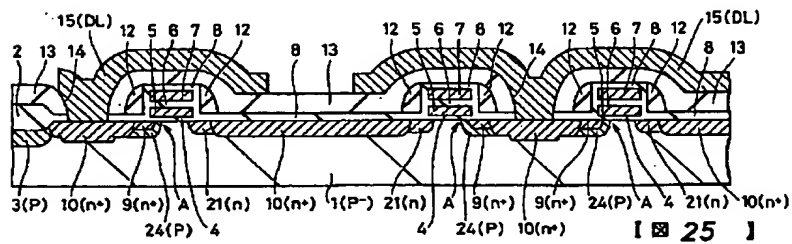
【図23】



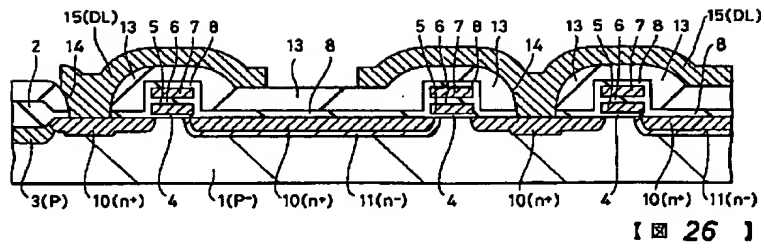
【図24】



【図25】

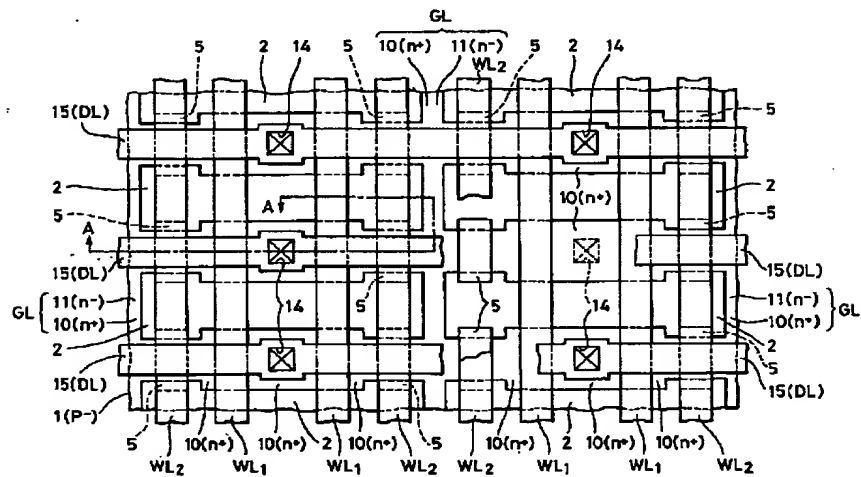


【図26】



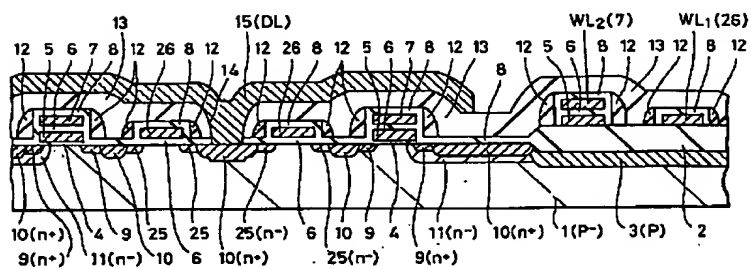
【図26】

【図27】



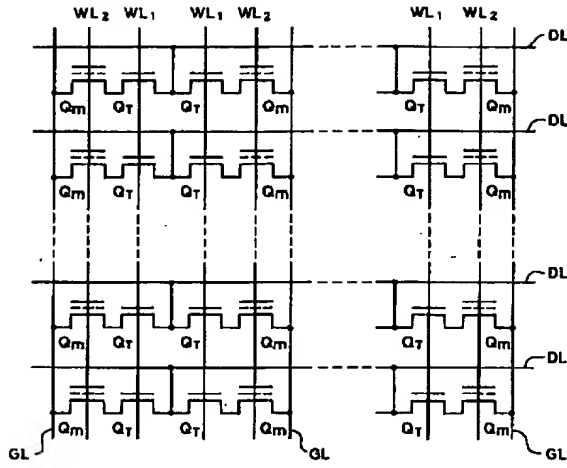
【図27】

【図28】



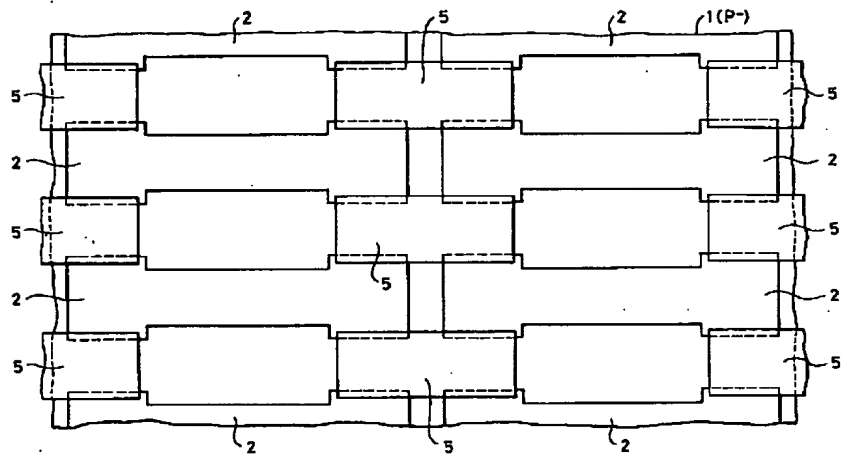
【図28】

【図29】



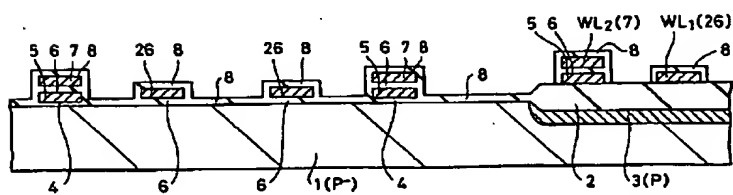
【図29】

【図30】



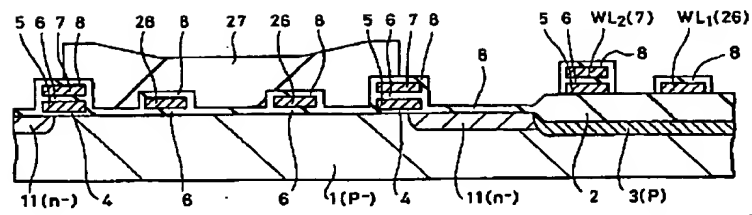
【図30】

【図31】



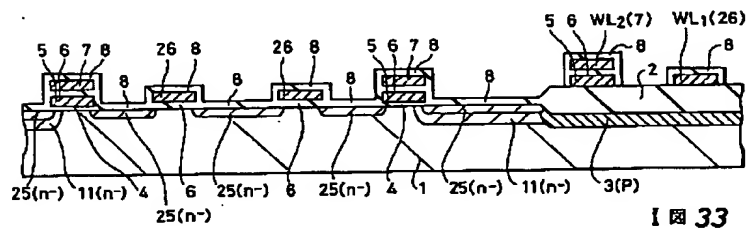
【図31】

【図32】



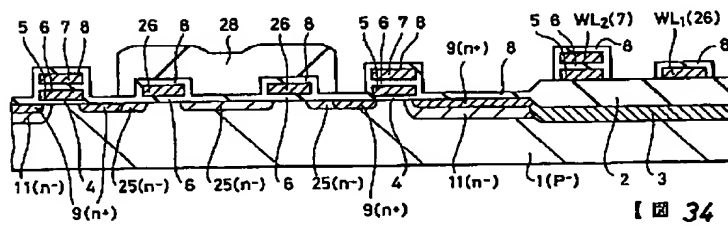
【図32】

【図33】



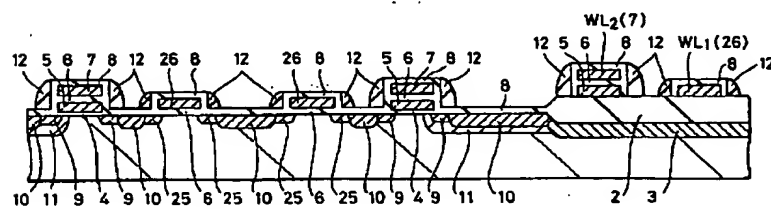
【図33】

【図34】



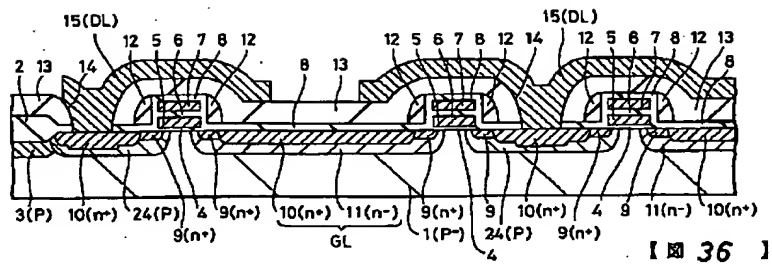
【図34】

【図35】



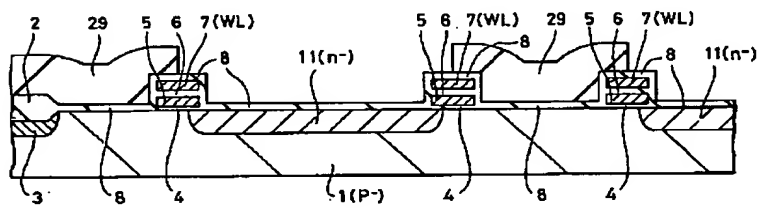
【図35】

【図36】



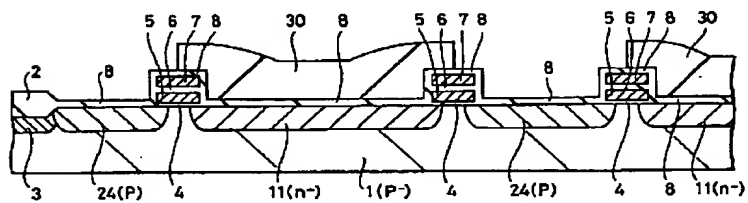
【図36】

【図37】



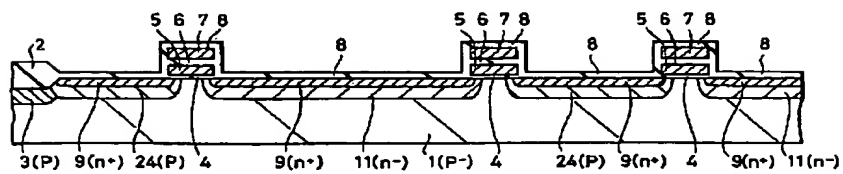
【図37】

【図38】



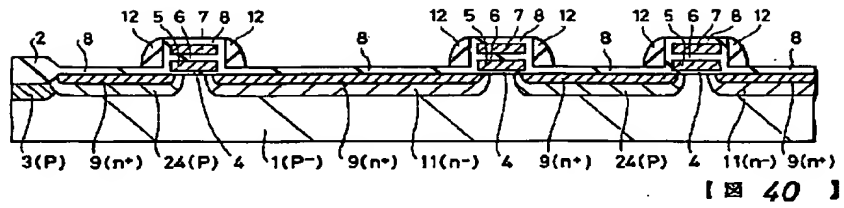
【図38】

【図39】

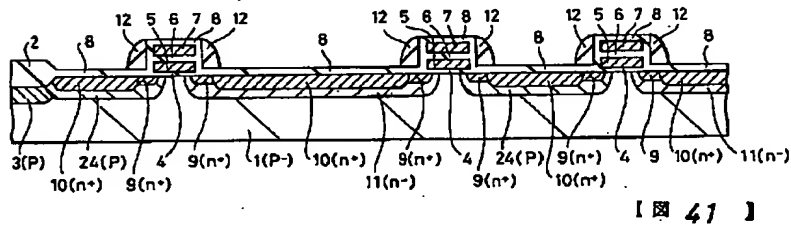


【図39】

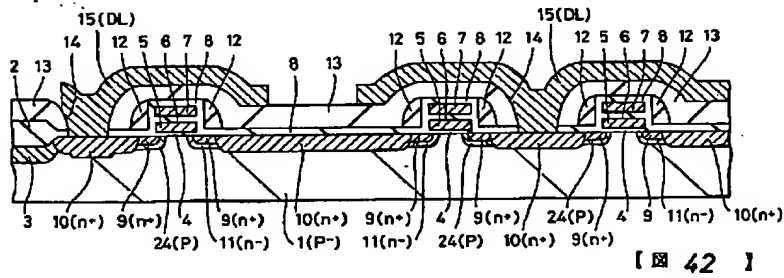
【図40】



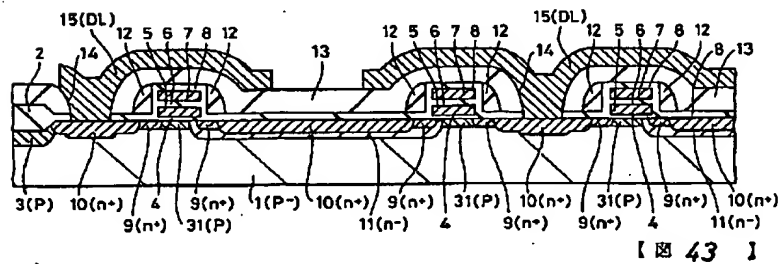
【図41】



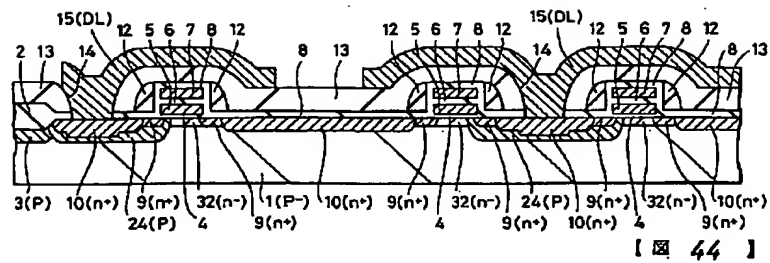
【図42】



【図43】



【図44】



【図44】

フロントページの続き

(72)発明者 久米 均
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 塚田 俊久
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 山本 英明
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内